

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03248755      \*\*Image available\*\*

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.:      02-224255 [JP 2224255 A]

PUBLISHED:      September 06, 1990 (19900906)

INVENTOR(s):   KAWACHI GENSHIROU

                 AOYAMA TAKASHI

                 KO CHIYUUKOU

                 ANDO HIDEMI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      01-042991 [JP 8942991]

FILED:           February 27, 1989 (19890227)

INTL CLASS:     [5] H01L-021/336; G02F-001/136; H01L-021/20; H01L-021/263;  
                 H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
                 INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R097 (ELECTRONIC  
                 MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1004, Vol. 14, No. 528, Pg. 144,  
                 November 20, 1990 (19901120)

#### ABSTRACT

PURPOSE: To suppress variation in crystallization to the minimum by patterning a semiconductor film to be laser-recrystallized in the shape of a plurality of islands, while making an area of each island under specific value and the ratio of the maximum value to the minimum value of the area under 50.

CONSTITUTION: a-Si films 102 are piled on a glass substrate 101, these are separated into a plurality of films by hot etching, next, SiO(sub 2) films 103 are deposited, while laser light is irradiated on Si films 102 to be recrystallized for obtaining polycrystalline Si films 108. Next, after removing SiO(sub 2) films 103, gate insulating films 104 and a-Si films 105 of a gate electrode are formed, while after patterning both of these, P ions are implanted into the gate electrode, source, drain regions for being given heat treatment to obtain a resistance layer. Further, PSG films 106 as protective films, Al electrode 107 are deposited and these are patterned to obtain a circuit. Here, an area of the semiconductor films 108 to be laser-recrystallized is controlled under  $1.6 \times 10^{-5} \mu\text{m}^2$ , while the ratio of the maximum value to the minimum value of an area of that to be used as an active layer of an active element inside these films 108 shall be under 50. Thereby, variation of crystallization of the film can be suppressed for uniformly forming an active element of high performance.

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

008429120      \*\*Image available\*\*

WPI Acc No: 1990-316121/199042

**Thin-film semiconductor device - has recrystallised active-element  
semiconductor layer of specified area   NoAbstract Dwg 1/5**

Patent Assignee: HITACHI LTD (HITA   )

Number of Countries: 001   Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2224255</b>	A	19900906	JP 8942991	A	19890227	199042   B

Priority Applications (No Type Date): JP 8942991 A 19890227

Title Terms: THIN; FILM; SEMICONDUCTOR; DEVICE; RECRYSTALLISATION;  
ACTIVE; ELEMENT; SEMICONDUCTOR; LAYER; SPECIFIED; AREA; NOABSTRACT

Derwent Class: L03; P81; U11; U14

International Patent Class (Additional): G02F-001/13; H01L-021/33

File Segment: CPI; EPI; EngPI

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月6日

H 01 L 21/336  
G 02 F 1/136

5 0 0

7370-2H  
8624-5F

H 01 L 29/78

3 1 1 Z※

審査請求 未請求 請求項の数 9 (全7頁)

⑭ 発明の名称 薄膜半導体装置およびその製造方法

⑮ 特 願 平1-42991

⑯ 出 願 平1(1989)2月27日

⑰ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 青 山 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 胡 中 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 発 明 者 安 藤 英 美 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

薄膜半導体装置およびその製造方法

2. 特許請求の範囲

1. 絶縁基板上に形成した半導体層を活性層とする複数の能動素子およびこれらの能動素子間を連結する配線から構成される薄膜半導体装置において、少なくとも素子の活性素子を構成する半導体層はレーザ光照射により再結晶膜であって、かつ各々の半導体層の面積は、 $1.6 \times 10^3 \mu\text{m}^2$ 以下であることその特徴とする薄膜半導体装置。
2. 少なくとも能動素子の活性層を構成する各々の半導体層の面積の最大値と最小値の比は50以下であることを特徴とする請求項第1項の薄膜半導体装置。
3. 絶縁基板上に半導体膜を形成する工程と、上記半導体膜の全部または一部を、最大面積が $1.6 \times 10^3 \mu\text{m}^2$ 以下でかつ面積の最大値と最小値の比が50以下となるように島状にパター

ニングする工程と、既記パターンニングでした半導体膜をレーザ光照射により再結晶化させる工程と、既記再結晶化させた半導体膜上に能動素子を形成する工程とを含むことを特徴とする請求項第1項記載の薄膜半導体装置の製造方法。

4. 半導体薄膜はSiまたはGeまたはIV族-IV族間化合物合金、または、III族-V族間化合物合金、またはII族-VI族間化合物合金、またはIV族-VI族間化合物合金またはIII族-VI族またはIII族-VI族-I族間化合物合金であることを特徴とする請求項第1項の薄膜半導体装置。

5. 半導体薄膜はSi、Ge、IV族-IV族間化合物合金、III族-V族間化合物合金、II族-VI族化合物合金、IV族-IV族間化合物合金、III族-VI族またはIII族-VI族-I族間化合物合金のいずれかであることを特徴とする。請求項第3項の薄膜半導体装置の製造方法。

6. 請求項第1項記載の薄膜半導体装置において半導体膜は電子ビーム照射またはイオンビーム照射により結晶化してなることを特徴とする薄膜

半導体装置。

7. 請求項第3項記載の薄膜半導体装置の製造方法において、半導体の再結晶化はレーザー光の代わりに電子ビームまたはイオンビーム照射によって行なうことを特徴とする薄膜半導体装置の製造方法。
  8. 請求項第1項の薄膜半導体装置と、表面に封向電極が形成された他の絶縁基板上に挟持された液晶を既記駆動素子にて駆動することを特徴とする液晶表示装置。
  9. 請求項第1項の薄膜半導体装置と既記薄膜半導体装置と同一基板上に形成せしめ、既記薄膜半導体装置と電気的に接続された光電変換素子とからなることを特徴とする光電変換装置。
3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁基板上に形成した半導体素子によって構成される薄膜半導体装置に係り、特に高性能な回路を良好な均一性をもって形成できる薄膜半導体装置の構造に関する。

考慮されているが、結晶性の均一化という点に関しては配慮されていない。場所による結晶性の違いから素子特性がばらつくと、素子単独では良好な特性を持っても、複数の素子により回路を構成すると、素子間の特性のバラツキから所望の回路動作が得られず使用に供することは不可能となる。レーザアニールを用いた時の結晶性のバラツキは再結晶化時の冷却速度のバラツキに起因する。以下のことについて第2図に従って説明する。

第2図は、ガラス基板101上に面積が $10 \times 50 \mu\text{m}^2$ および $400 \times 400 \mu\text{m}^2$ の非晶質Si(a-Si)膜102を形成し、さらにこの上にキャッピング膜として $\text{SiO}_2$ 膜103を形成した後、(第2図(a))XoC8エキシマレーザー光を $200 \text{ mJ}/\text{cm}^2$ のパワーで照射(第2図(b))の時、膜内の結晶性を微細部X線回折法により評価した結果である(第2図(c)、(d))。同図(c)に示すように、面積が $10 \times 50 \mu\text{m}^2$ の膜では膜内の結晶性はほぼ均一となっているのに対し、面積が $400 \times 400 \mu\text{m}^2$

(従来の技術)

近年、ガラス等の絶縁基板上に形成した半導体膜を活性層とした薄膜駆動素子を用いた薄膜半導体装置の開発が活発になりつつある。代表的なものとしてはアクティブマトリックス方式の液晶ディスプレイやファクシミリ用のライン光センサ等がある。これらの半導体装置の高性能化、長尺化の動向から、より高性能の素子が要求されている。このためには、低温でより良質の多結晶または単結晶膜を形成することが必要とされている。

多結晶または単結晶膜の低温形成法としては、レーザビームの照射により半導体を再結晶化するいわゆるレーザアニール法が従来より用いられている。レーザアニール技術に関しては例えば、特開昭57-187933号公報などが挙げられる。

(発明が解決しようとする課題)

レーザアニール技術においては、素子特性の均一化すなわち場所による膜の結晶性のバラツキを小さくすることが重要な課題である。上記従来技術は結晶性の良い半導体膜を得ることについては

と大きい膜では、膜の端部近くでは高い結晶性を示すが、膜中央部に向かうに従って結晶性は低下し、端から $100 \mu\text{m}$ 以上離れた場所で全く結晶化が生じていない。これは面積の大きな膜など熱容量が大きく、レーザ光のパワーが十分強くない場合には膜の結晶化を生ぜしめるには熱エネルギーが不足するためと考えられる。膜の端部でのみ結晶化が起こるのは、端部は熱伝達の悪い $\text{SiO}_2$ 膜により熱の放散が中央に比べて抑えられるためと思われる。

面積の大きな膜全体を結晶化させるためには、レーザ光のパワーを上げれば良いが、パワーを上げすぎると面積の小さい膜の表面荒れが利権が生ずるという別の問題が生ずる。従って、上記の従来技術では均一な結晶性を全ての膜にわたって実現することは困難である。

第3図は従来のレーザアニール装置場つを用いて実際に絶縁基板上に多結晶シリコン膜により形成した回路の一例である。同図(b)は同図(a)に示した3段のインバータ回路の平面パターンで

ある。ここでトランジスタ $Q_1$ 、および $Q_2$ は大きな運動能力を得るためにチャネル幅を $1500\mu\text{m}$ と大きくしている。このため、 $Q_1$ 、 $Q_2$ の活性層となるシリコン膜201の面積 $S_1$ は $140 \times 1500 = 2.1 \times 10^5 \mu\text{m}^2$ とトランジスタ $Q_1$ 、 $Q_2$ の活性層となる最も小さなシリコン膜の201の面積 $S_1 = 2.8 \times 10^5 \mu\text{m}^2$ に比べ75倍の大きさとなっている。従って、上記の理由によりシリコン膜201～203の間を同一のレーザパワーを再結晶化した場合、結晶性のバラツキが生じ、結果として所望のインバータ出力 $V'_{01}$ が得られない。

本発明の目的は、これら従来技術の問題を解決し、良好な結晶性が得られるレーザアニール法の特徴を生かしながら、結晶性のばらつきを最小限抑え高性能の回路を得ることを可能とす薄膜半導体装置の構造および製造方法を提供することにある。

〔課題を解決するための手段〕

本発明は、レーザアニールによる結晶性のばら

みのある出力段のトランジスタ $Q_1$ 、 $Q_2$ は、互いに分離されたチャネル幅 $50\mu\text{m}$ のサブトランジスタを30個並列に接続することで構成されている。各々のサブトランスの活性層は、 $40 \times 50\mu\text{m}^2$ のシリコン膜207であり、これらのシリコン膜207は熱的に絶縁されている。従って、シリコン膜の201、202、207をレーザ照射によって結晶化した時に、各々のシリコン膜の熱容量値が近い値となっているため膜の結晶性のバラツキを小さくできることにより良好なインバータ特性が得られる。

第4図は、第1の実施例に示した装置の製造プロセスの概略を示したものである。

ガラス基板101上に減圧CVD法により $\alpha$ -Si膜102を $100\text{nm}$ 堆積する。次にこの $\alpha$ -Si膜102を通常のホットエッチング工程により複数の膜に分離する。次にキャッピング膜として常圧CVD法により $\text{SiO}_2$ 膜103を $100\text{nm}$ 堆積する。ここで波長 $308\text{nm}$ の $\text{XeCl}$ エキシマレーザ光を $200\text{mJ}/\text{cm}^2$ のパワーで

つきを小さくするために、レーザ再結晶化する半導体膜をあらかじめ直線の島状にパターンニングし、かつ個々の島の面積は $1.6 \times 10^5 \mu\text{m}^2$ 以下とし、各々の内で、面積の最大値と最小値の比を50以下として絶縁素子を構成したものである。

〔作用〕

本発明において、レーザ再結晶化する半導体膜の面積を $1.6 \times 10^5 \mu\text{m}^2$ 以下に制御することにより、膜の熱容量を小さくして比較的低いレーザパワーでも膜全体が均一に結晶化せしめることができる。また、再結晶化する膜の内で少なくとも絶縁素子の活性層として用いるものの面積の最小値と最大値の比を50以下とすることにより、各々の膜の熱容量の違いを小さくして結晶性のバラツキを抑えることができる。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図は第3図に示したものと同様な回路を発明の方法により絶縁基板上に構成したものである。本実施例においては、チャネル幅 $1500\mu$

$\text{SiO}_2$ 膜103の上からSi膜に照射し再結晶化して多結晶Si膜108を得る。次に $\text{SiO}_2$ 膜103をフッ酸処理により除去後、ゲート絶縁膜として $\text{SiO}_2$ 膜104、 $150\text{nm}$ を常圧CVDにより、続いてゲート電極として $\alpha$ -Si膜105、 $150\text{nm}$ を減圧CVD法により形成する。次に、ゲートSi膜105とゲート絶縁膜104を所定の形状にパターンニング後、イオン注入法によりゲート電極およびソース、ドレイン領域に $\text{P}$ イオンを注入し、 $600^\circ\text{C}$ で10時間熱処理として抵抗層を得る。次に、保護膜としてPSG膜106を常圧CVD法により堆積し、コンタクトスルホール開口後、A $\delta$ 電極107をスパッタ法により堆積し、これをパターンニングして第1図の構造の回路を得る。

本実施例においては再結晶化するSi膜の面積の最大値は $7.0 \times 10^5 \mu\text{m}^2$ 、最小値は $2.8 \times 10^5 \mu\text{m}^2$ となっており、最大値と最小値の比は2.5に成されている。この面積比は50以下であれば、素子特性のバラツキは実用上問題ない

極度に抑えることができる。また膜の面積の最大値については $400\mu\text{m} \times 400\mu\text{m} = 1.6 \times 10^8 \mu\text{m}^2$ 以上になるとレーザパワー $200\text{mJ}/\text{cm}^2$ では均一に結晶化されなくなる。これを均一に結晶化するためにはレーザパワーを上げれば良いが、レーザパワーが $220\text{mJ}/\text{cm}^2$ 以上になると、特に面積が小さい膜で表面凹凸が生じ素子特性が低下することのために再結晶化するSi膜の面積は $1.6 \times 10^8 \mu\text{m}^2$ 以下に設定することが望ましい。

上記の実施例は、非常に簡単な回路に関するものであるが、本発明の構造は絶縁基板上に形成される種々の薄膜半導体装置に適用可能である。例えば、同一基板上に駆動回路を内蔵した画像表示用のアクティブマトリックス基板において、駆動回路を構成するトランジスタに対し本発明の構造を適用すれば、高い電流駆動能力を有するトランジスタが均一に作成できるため、高速動作可能な駆動回路が構成できる。これにより、より大型あるいは高精細の表示装置が実現される。

例えば、ファクシミリ用のラインセンサ用の駆動回路などの、絶縁基板上に形成される光電変換装置の駆動回路へも適用可能である。本発明によれば高性能の駆動回路が得られるため、高精細、高感度かつ高速の光電変換装置が実現できる。

上記の実施例では半導体膜としてはシリコンを対象として説明したが、本発明はこれに限られずGe、SiGe、GaAs、ZnSeなどの他半導体についても適用可能である。

また、再結晶化の手段としては上記実施例で説明したXeClエキシマレーザ光に限らずArレーザ、A<sub>1</sub>Fエキシマレーザなどの他の種類のレーザや、電子ビームあるいはイオンビームを用いることも可能である。

#### 〔発明の効果〕

以上のように、本発明によればレーザ再結晶化する半導体膜の面積を $1.6 \times 10^8 \mu\text{m}^2$ 以下とし、半導体膜の内、最小の面積と最大の面積の比を50以下して構成することにより、膜の結晶性のバラツキを抑え、高性能な駆動素子を均一に形成で

第5図は本発明の構造のアクティブマトリックス基板上により表示装置を構成したものである。

ガラス基板101上に形成された走査配線301と信号配線302とがマトリックス状に形成され、その交差点近傍に薄膜トランジスタ300が形成され、透明電極からなる画素電極らを駆動する。走査配線301と信号配線302はそれぞれ走査側駆動304及び信号側駆動回路305に接続され駆動される。液晶層306を挟んで対向するガラス基板309上には透明電極よりなる対向電極307およびカラーフィルタ308が形成され一対のガラス基板101、309を挟むように偏光板310が設けられる。光源からの光の透過量を画素電極ら部分で調整することにより薄膜トランジスタ駆動型のカラー液晶表示装置が構成される。本発明の構造は駆動回路を高性能化できるため、液晶表示装置の大型化、高精細化に達しており、ビデオターミナル、ワークステーション、高品位TVなどが実現される。

また、本発明の構造は上記の例だけでなく、例

える効果がある。

#### 4. 図面の簡単な説明

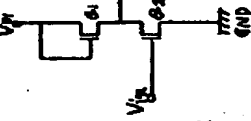
第1図は本発明の一実施例を示した回路図と平面図である。第2図は従来技術における膜の結晶性のバラツキを説明したものである。第3図は従来技術の一例の回路図と平面図である。第4図は本発明の実施例の工程の断面構造図である。第5図は薄膜トランジスタ駆動型液晶表示装置の構造を示す斜視図である。

101…ガラス基板、102…a-Si膜、  
103…SiO<sub>2</sub>膜、104…ゲート絶縁膜、  
105…ゲートSi膜、106…保護膜、  
107…A<sub>1</sub>電極、108…多結晶膜、201、  
202、203…Si膜、107…A<sub>1</sub>電極、  
301…走査配線、302…信号配線、303…  
薄膜トランジスタ、304…走査側駆動回路、  
305…信号側駆動回路、306…液晶層、  
307…対向電極、308…カラーフィルタ、  
309…ガラス基板、310…偏光板

代理人 弁理士 小川 勝男

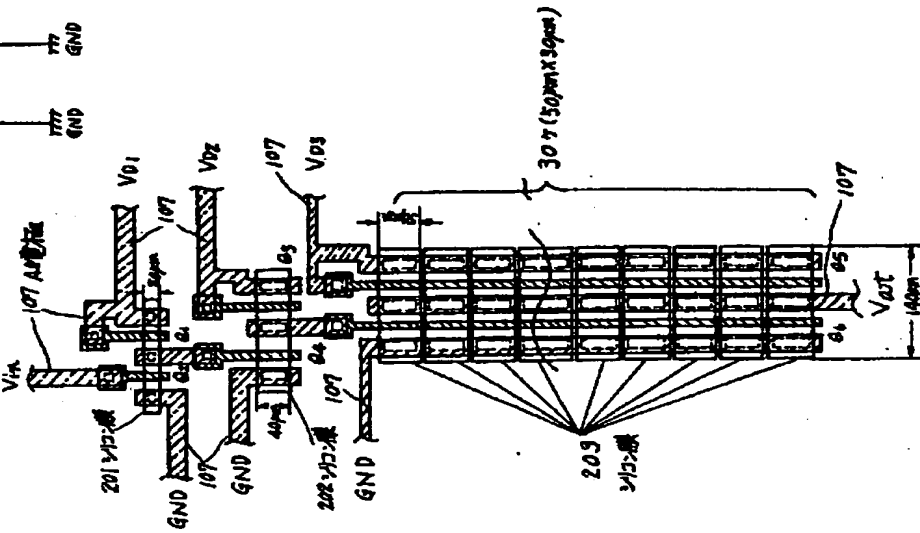
図面の寸数(内容に変更なし)

(a) 回路図

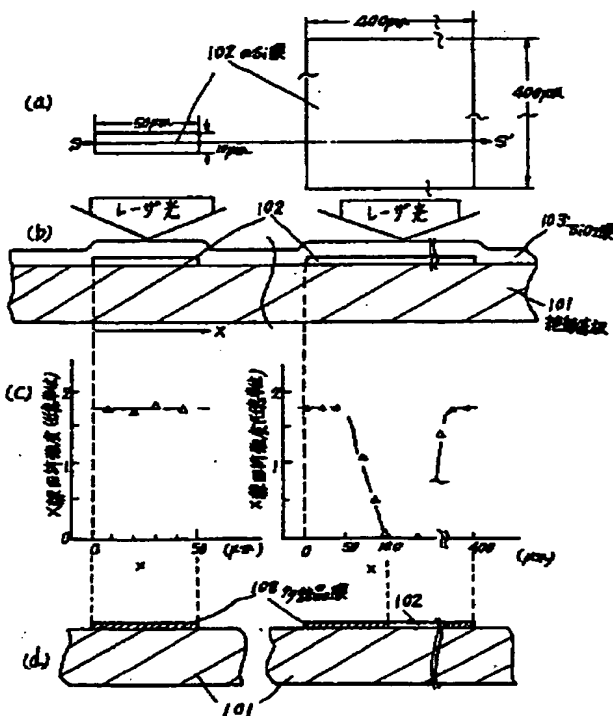


第1図

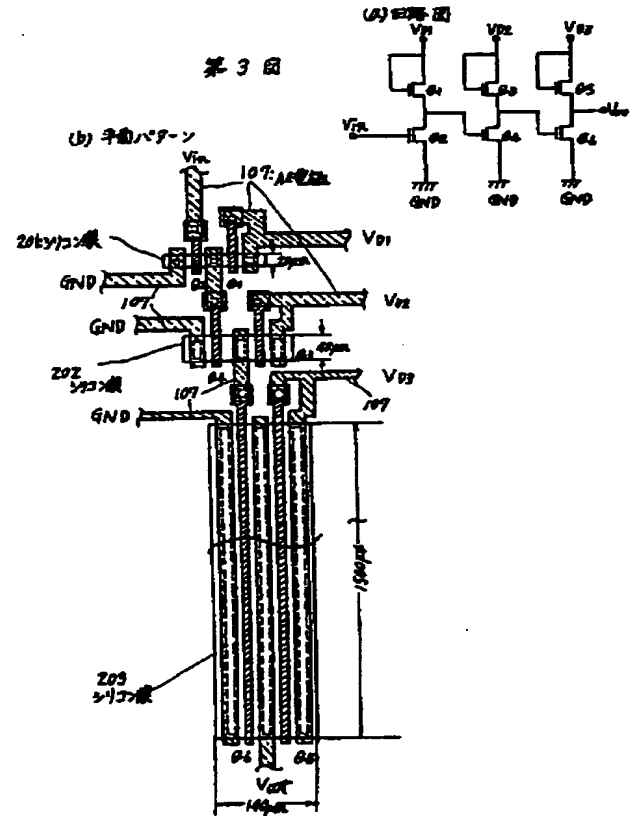
(b) 平面パターン



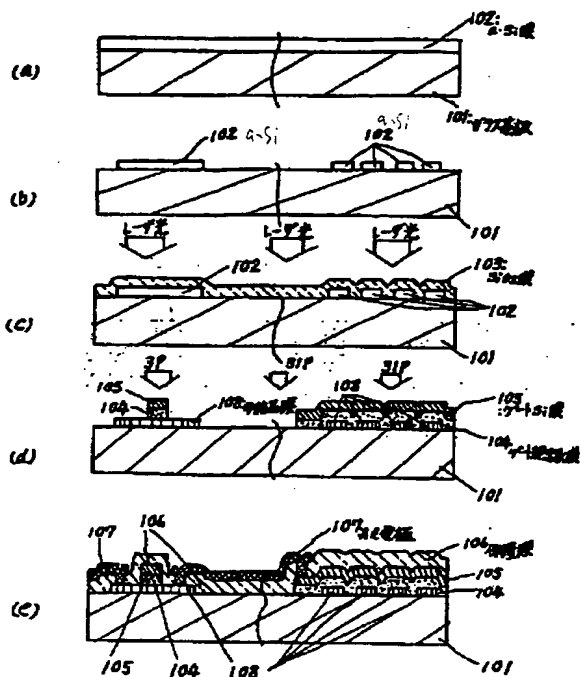
第2図



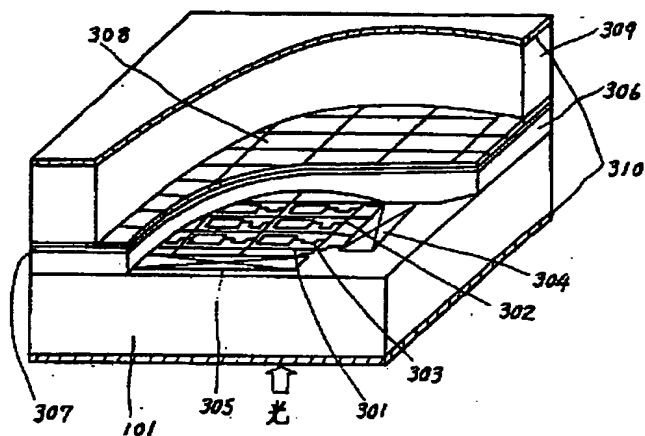
第3図



第 4 図



第 5 図



第 1 頁の続き

Int. Cl. 1

H 01 L 21/20  
21/263  
29/784

識別記号

庁内整理番号

7739-5F

手続補正 (方式)

平成1年8月26日

特許庁長官 吉田文蔵 殿

事件の表示

平成1年 特許第 42991 号

発明の名称

薄膜半導体装置およびその製造方法

補正をする者

事件との関係 特許出願人

名 義 (530) 株式会社 日立製作所

代理人

〒100 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電話 03(212)1111(代表)

氏 名 (6050) 弁護士 小川 勝

補正命令の日付 平成1年5月30日(発送日)

補正の対象

図面の全図

補正の内容

原書に最初に添付した図面の浄書・別紙の  
り(内容に変更なし)

方式  
審査

吉田

